

PAT-NO: JP02001135850A  
DOCUMENT-IDENTIFIER: JP 2001135850 A  
TITLE: OPTICAL MOSFET AND ITS MANUFACTURING METHOD

PUBN-DATE: May 18, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
TAMURA, JUN	N/A
YAMAGISHI, KAZUO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC KANSAI LTD	N/A

APPL-NO: JP11311778

APPL-DATE: November 2, 1999

INT-CL (IPC): H01L031/10 , H01L029/78 , H01L031/04

ABSTRACT:

PROBLEM TO BE SOLVED: To lessen troubles in a photoresist process in the manufacture of an optical MOSFET where a power MOSFET element and a photovoltaic device 4 which drives the element are formed on the same substrate, by a method wherein a level difference made by a polycrystalline Si layer is relaxed when the photovoltaic device 4 is formed of a polycrystalline Si layer.

SOLUTION: A power MOSFET element 5 is of vertical type where a channel is formed on the side wall of a groove 110, and a photovoltaic device 4 is formed on a polycrystalline Si layer 106c formed through a vapor growth method on a recess that is formed at the same time when the groove 110 is formed.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-135850

(P2001-135850A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)IntCl. <sup>7</sup>	識別記号	F I	テームト(参考)
H 0 1 L 31/10		H 0 1 L 31/10	A 5 F 0 4 9
29/78		29/78	6 5 6 B 5 F 0 5 1
31/04		31/04	Q

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21)出願番号 特願平11-311778

(22)出願日 平成11年11月2日(1999.11.2)

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 田村 純

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

(72)発明者 山岸 和夫

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

Fターム(参考) 5F049 MA15 MB03 RA06 UA20

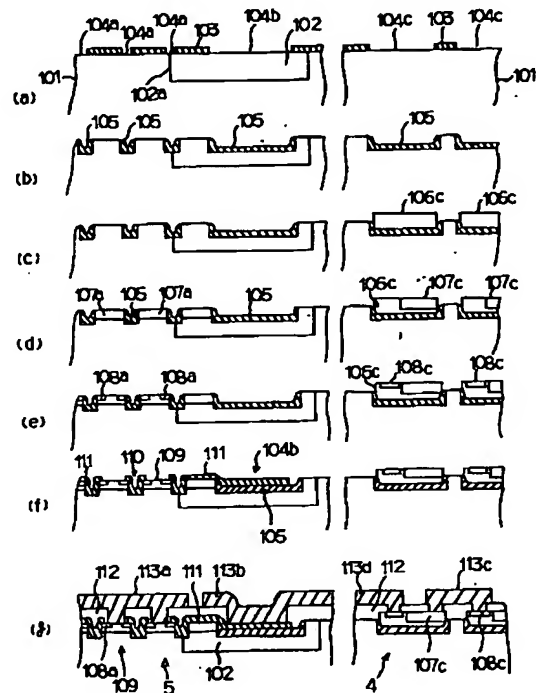
5F051 AA03 BA11 EA20 GA04

(54)【発明の名称】 光MOSFET及びその製造方法

(57)【要約】

【課題】 パワーMOSFET素子5とそれを駆動する光起電力装置4とが同一基板上に形成されている光MOSFETにおいて、光起電力装置4を多結晶Si層106cで形成する場合に、多結晶Si層106cが作る段差を緩和して、フォトリソ処理でのトラブルを少なくする。

【解決手段】 パワーMOSFET素子5を溝110の側壁にチャンネルが形成される縦型とし、光起電力装置4は溝110の形成と同時に形成した凹部上に気相成長形成した多結晶Si層106cに形成されている。



## 【特許請求の範囲】

【請求項1】パワーMOSFET素子とそれを駆動する光起電力装置とが同一基板上に形成されている光MOSFETにおいて、

前記パワーMOSFET素子を溝の側壁にチャンネルが形成される縦型とし、

前記光起電力装置が前記溝の形成と同時に形成した凹部に気相成長形成した多結晶Si層に形成されていることを特徴とする光MOSFET。

【請求項2】前記光MOSFETはOFF時の応答を速やかにするための放電回路を含み、その放電回路を構成する素子も前記溝の形成と同時に形成した凹部に気相成長形成した多結晶Si層に形成されていることを特徴とする請求項1に記載の光MOSFET。

【請求項3】パワーMOSFET素子とそれを駆動する光起電力装置とが同一基板上に形成されている光MOSFETの製造方法において、

前記パワーMOSFET素子を溝の側壁にチャンネルが形成される縦型として、前記溝を形成する際に、同時に光起電力装置を構成する小型太陽電池が配置される部分をエッチングして凹部を作る工程と、

その凹部に酸化膜を介して、小型太陽電池形成のための多結晶Si層を配置する工程と、

その後、前記多結晶Si層に必要な不純物を導入して小型太陽電池を形成する工程とを有することを特徴とする光MOSFETの製造方法。

【請求項4】パワーMOSFET素子とそれを駆動する光起電力装置とが同一基板上に形成されている光MOSFETの製造方法において、

Siでなる基板表面にシリコン窒化膜を形成し、パワーMOSFET素子のチャンネルが側壁に形成される溝が配置される部分をエッチング除去して開口すると共に光起電力装置を構成する小型太陽電池が配置される部分をエッチング除去して開口する工程と、

前記シリコン窒化膜をマスクとして前記基板をエッチングして凹部を形成し、その後前記シリコン窒化膜をマスクとする選択酸化により酸化膜を形成する工程と、

その後、多結晶Si層を気相成長により全面に形成し、小型太陽電池の形成に要する部分を残すエッチングにより、小型太陽電池形成用凹部に多結晶Si層を配置する工程と、

その後、パワーMOSFET素子形成部分において前記溝内の前記酸化膜をマスクにP型不純物及びN型不純物を導入して所定の不純物導入領域を形成するに際して、同時に前記多結晶Si層にも必要な不純物を導入して小型太陽電池を形成する工程とを有することを特徴とする光MOSFETの製造方法。

【請求項5】パワーMOSFET素子とそれを駆動する光起電力装置とOFF時の応答を速やかにするための放電回路とが同一基板上に形成されている光MOSFET

の製造方法において、

Siでなる基板表面にシリコン窒化膜を形成し、パワーMOSFET素子のチャンネルが側壁に形成される溝に対応する部分をエッチング除去して開口すると共に光起電力装置を構成する小型太陽電池や放電回路を構成する素子が配置される部分をエッチング除去して開口する工程と、

前記シリコン窒化膜をマスクとして前記基板をエッチングして凹部を形成し、その後前記シリコン窒化膜をマスクとする選択酸化により酸化膜を形成する工程と、

その後、多結晶Si層を気相成長により全面に形成し、小型太陽電池や放電回路を構成する素子の形成に要する部分を残すエッチングにより、小型太陽電池や放電回路を構成する素子形成用凹部に多結晶Si層を配置する工程と、

その後、パワーMOSFET素子形成部分において前記溝内の前記酸化膜をマスクにP型不純物及びN型不純物を導入して所定の不純物導入領域を形成するに際して、同時に前記多結晶Si層にも必要な不純物を導入して小型太陽電池や放電回路を構成する素子を形成する工程とを有することを特徴とする光MOSFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光MOSリレーに使用される光MOSFETに関する。

【0002】

【従来の技術】光MOSリレーは、入力部と出力部の間が電気的には絶縁されていて、光学的に結合された固体リレー装置の一種である。入力側に電流を流すと発光素子（例えば発光ダイオード素子）が発光し、この光を光電変換素子（例えば光起電力装置＝小型太陽電池を複数直列に接続したもの）が受けて電圧を発生する。そしてこの電圧をゲートに与えてパワーMOSFET素子がON-OFF制御され、この出力側パワーMOSFET素子に接続された負荷回路をON-OFF制御するものである。

【0003】従来の光MOSリレーは、同一パッケージ内に発光素子と、それに対向するように配設された光電変換素子と、パワーMOSFET素子とが組み込まれていた。そして、出力側を交流に対応可能にするものではパワーMOSFET素子を2個としている。さらに、スイッチング速度を確保するためにパワーMOSFETのゲート回路の電荷を放電するための放電回路を独立したチップとして含んだり、光電変換素子と同じチップに形成したりすることがある。従って同一パッケージ内に、3個以上のチップを組み付ける必要があり、装置の構造が複雑であり、製造コストが高くなる。

【0004】このような問題を解決するために、パワーMOSFET素子と光起電力装置とを同じチップに形成する提案が特開平2-44779号公報に開示されてい

る。その内の一例のものはパワーMOSFET素子と光起電力装置とを同じ基板の異なる位置に（平面的に）配置したものであり、パワーMOSFET素子を作る工程を出来るだけ共通に利用して、光起電力装置を作るようにしたものである。その要点を述べれば、下記の製法となる。

（１）二重拡散縦型のパワーMOSFET素子を作るために、そのドレインとして機能するN-Siエピタキシャル層を形成する際に、必要とする厚みから光起電力装置を作るに必要な厚み分薄い状態で一度成長を終える。

（２）全面を酸化し、光起電力装置を配置する部分を残し、パワーMOSFETを形成する部分の酸化膜を除去する。

（３）次に、残りの厚みのエピタキシャル成長を行う。そうすると、酸化膜を除去した部分はエピタキシャル成長するが、酸化膜上はN-多結晶Siがほぼ同じ厚みに成長する。

（４）次に常法によりゲート電極、Pベース領域、Nソース領域を含む2重拡散縦型のパワーMOSFET素子を単結晶部分に形成する。その際に、多数の小型太陽電池を直列接続してなる光起電力装置を形成する部分（多結晶Siの部分）にPベース領域の形成と同時に不純物を導入する。そして、Nソース領域を形成する際に同時に各小型太陽電池形成部分に先に形成したP領域の電極引き出し部分を残すように不純物を選択的に導入する。

（５）次に、各小型太陽電池を他の小型太陽電池やパワーMOSFET素子から電気的に分離するように、各小型太陽電池の周りの多結晶Si層をエッチング除去する。

（６）次に、全面に層間絶縁膜を形成し、パワーMOSFET素子部においてはソース電極コンタクト部、ゲート電極引出し部、光起電力装置部においては各小型太陽電池のP型領域とN型領域それぞれの表面を露出するコンタクトホールを形成する。

（７）次に、全面にAlのような金属層を形成し所定のパターニングを行い必要な電極やボンディングパッド、それらの間の配線を形成する。

【0005】上記のようにして出来る光MOSFETによれば同じチップに光起電力装置とパワーMOSFET素子とが作りこまれているので、光MOSリレーを作る際に組み付けるチップが1個少なくなるものである。しかも、パワーMOSFET素子を単独に作るのに比較して、追加される工程は、上記の内の（２）と（５）の工程のみであり、製造が容易とされている。

【0006】

【発明が解決しようとする課題】ところが、上記のようなDMOS構造のパワーMOSFET素子と同時的に光起電力装置を形成する製法では、（５）の工程で多結晶Si層をエッチング除去して分離するので大きな段差が生じる。そこで、その後に行う（６）や（７）の工程で

のフォトリソ処理で角の部分が切れたり必要な塗布厚みが確保できないようなトラブルが生じがちである。

【0007】

【課題を解決するための手段】上記の課題を解決するためにこの発明は、パワーMOSFET素子をUMOS構造とし、光起電力装置や、必要により設ける放電回路を構成する素子を形成する多結晶Si層をパワーMOSFET素子のための溝をエッチング形成する際に同時に基板をエッチングして凹部を形成した部分に設けて、表面の段差を緩和している。

【0008】

【発明の実施の形態】UMOS構造のパワーMOSFET素子を製造する手順は種々考えられる。限定するわけではないが、この発明におけるパワーMOSFET素子を製造する手順としては、溝の形成の後でベース領域やソース領域の形成のための不純物導入工程が行われるのが、その間に多結晶Si層を形成して、光起電力装置や、放電回路を構成する素子を形成するための不純物導入工程をパワーMOSFET素子と共用にできるので好ましい。

【0009】

【実施例1】この発明の一実施例を図面を参照して説明する。この実施例の光MOSFET1は図3に示す光MOSリレーの等価回路図において破線で囲んだ部分を1チップ構成したものである。この光MOSFETは光MOSリレーを構成する際に他に発光ダイオード素子2とパワーMOSFET素子3との2個のチップと組み合わせるようにしたものである。

【0010】この光MOSFET1は複数の小型太陽電池4aを直列接続した光起電力装置4とその電圧がゲートに与えられてON-OFF制御されるパワーMOSFET素子5と、OFF時の応答を速くするための放電回路を構成する2個のダイオード素子6、6とサイリスタ素子7とを含んでいる。そして、光MOSリレーを構成する際には、光起電力装置4は発光ダイオード素子2に対向して配置される。そして、他の素子はなるべく光が当たらないようにするのが好ましい。

【0011】この光MOSFET1におけるパワーMOSFET素子5は基板裏面側をドレインとする縦型に構成される。

【0012】次に、この光MOSFET1の製法を説明しながら詳細な構造を説明する。図1の図面左側はパワーMOSFET素子5の部分を示し、右側は光起電力装置4の部分を示す。そして、図2はサイリスタ素子7の部分を示す。尚、ダイオード6は光起電力装置4を構成する小型太陽電池4aと同様なので図示を略す。そして、それらは、各途中工程を示す縦断面図である。

（１）まずパワーMOSFET素子5のドレインとして機能するような例えばN型のSiでなる基板101を準備する。基板101は高濃度N型のサブストレート（図

10

20

30

40

50

示せず)上にN型Siを所定の厚みにエピタキシャル成長したものが使用出来る。次に、選択的にP型不純物を導入してPウェル102を形成する。Pウェル102は多数の微細なセルを格子状に配置してなるパワーMOSFET素子を取り囲むように配置して、OFF時の耐圧を確保するものである。さらに、図面には記載がないがゲート電極と上層の金属配線とを接続するコンタクト部分やボンディングパッド等セルの配置を行わない場所があれば同様な理由でPウェル102を配置する。図面に現れたPウェル102はパワーMOSFET素子5の外周部分に配置したゲートボンディングパッドの部分を示して、大きく描かれているが、単にセルを取り囲むだけの部分は幅が狭いものである。次に、全面に熱酸化により薄い酸化膜(図示せず)を形成し、その上に化学的気相成長(以下CVDと記す)により全面にシリコン窒化膜103を形成し、所定の部分をエッチング除去して開口を設ける。開口を設ける部位はパワーMOSFET素子5を形成する部分においては、各セルを仕切るように設け、その側壁にチャンネルが形成される溝の形成予定位置104aと、ゲートボンディングパッド形成予定位置104b等厚い酸化膜を形成する必要がある部分であり、光起電力装置4を形成する部分においては各小型太陽電池4aの形成予定位置104cであり、放電回路を形成する部分においてはダイオード6の形成予定位置(図示せず)やサイリスタ素子7の形成予定位置104dである。尚、Pウェル102のセル側の端102aは溝形成のための開口位置104aに一致させる。こうして、図1(a)、図2(a)参照)に示す形状となる。

(2)次に、シリコン窒化膜103をマスクとして、開口部分の酸化膜(図示せず)をエッチング除去して、引き続き基板101を例えば1.4 $\mu\text{m}$ エッチングする。そして、シリコン窒化膜103をマスクにして熱酸化して厚い(例えば0.7 $\mu\text{m}$ )酸化膜105を形成する。そうすると、厚い酸化膜105は基板101がエッチングされた部分に自己整合的に選択形成される。そして、シリコン窒化膜103をエッチング除去して、図1(b)、図2(b)の形状となる。

(3)次に、基板101の頂面の酸化膜:シリコン窒化膜103の下地の酸化膜(図示せず)は残して、全面にN型多結晶SiをCVDにより例えば1.8 $\mu\text{m}$ の厚みに形成し、フォトリソをマスクにエッチングして、各小型太陽電池4aの形成予定位置104c、ダイオード6の形成予定位置(図示せず)、サイリスタ素子7の形成予定位置104dに残し、それぞれ太陽電池用多結晶Si層106c、ダイオード用多結晶Si層(図示せず)、サイリスタ用多結晶Si層106dとする。そうすれば、図1(c)、図2(c)の形状となる。

(4)次に、基板101の頂面の酸化膜(図示せず)をエッチング除去した後に、再度熱酸化により基板101の頂面及び多結晶Si層106c、106d等の表面に

薄い酸化膜(図示せず)を形成し、フォトリソにより、パワーMOSFET素子形成部分は開口し、太陽電池用多結晶Si層106cとダイオード用多結晶Si層(図示せず)の部分ではN領域の電極を設ける部分を除いて開口し、サイリスタ用多結晶Si層106dの部分では横型サイリスタのアノード領域とPベース領域との形成部分をそれぞれ選択的に開口するマスクを作り、このフォトリソマスク(図示せず)と厚い酸化膜105とをマスクとするイオン注入とそれに続く押し込み拡散処理により、パワーMOSFET素子部においてはPベース領域107aを形成する。そうすると、同時に太陽電池用多結晶Si層106cではP型領域107cが形成され、ダイオード用多結晶Si層(図示せず)でも同様にP型領域(図示せず)が形成され、サイリスタ用多結晶Si層106dではアノード領域107dとPベース領域107bが形成される。そうすれば、図1(d)、図2(d)の形状となる。

(4')上記の工程で形成されたP型領域の表面の不純物濃度が後に形成される金属電極とオーミック接続するに十分な濃度であれば次の(5)の工程に進めばよいが、表面濃度が薄い設計の場合は、上記(4)の工程と似た処理を行い高濃度で浅いP層(図示せず)を形成する。但し、太陽電池用多結晶Si層106cとダイオード用多結晶Si層(図示せず)の部分、サイリスタ用多結晶Si層106dの部分でのフォトリソ(図示せず)の開口はそれぞれのP型領域に設ける電極の部分だけでよい。また、太陽電池用多結晶Si層106cにおけるP型領域107cは(4)工程で形成せずこの工程で形成しても良い。その方がPN接合が浅く光に対する感度が高くなる。

(5)次に、フォトリソにより、パワーMOSFET素子形成部分ではソース領域の部分を開口し、太陽電池用多結晶Si層106cとダイオード用多結晶Si層(図示せず)の部分ではN領域の電極を設ける部分を開口し、サイリスタ用多結晶Si層106dの部分では横型サイリスタのNベースコンタクト領域とPベース領域内のカソード領域との形成予定部分をそれぞれ選択的に開口するマスクを作り、このフォトリソマスクによりイオン注入とそれに続く押し込み拡散処理により、パワーMOSFET素子部においてはNソース域108aを形成する。そうすると、同時に太陽電池用多結晶Si層106cではN型コンタクト領域108cが形成され、ダイオード用多結晶Si層(図示せず)でも同様にN型コンタクト領域(図示せず)が形成され、サイリスタ用多結晶Si層106dではNベースコンタクト領域108dとカソード領域108bが形成されてる。そうすれば、図1(e)、図2(e)の形状となる。

(6)次に、フォトリソにより、ゲートボンディングパッド形成予定位置104b等厚い酸化膜105を残す必要のある部分カバーして、セル109を取り巻く溝

110内の厚い酸化膜105や太陽電池用多結晶Si層106c、ダイオード用多結晶Si層(図示せず)、サイリスタ用多結晶Si層106dの表面の薄い酸化膜(図示せず)をエッチング除去する。そして、フォトリソを除去して、熱酸化によりゲート酸化膜(図示せず)を形成する。次に、CVDにより全面に多結晶Si膜を形成し、例えば気相拡散法でリンのような導電性不純物を導入して導電性を高め、所定の形状にパターンニングしてゲート電極111を形成する。ゲート電極111は溝110の底と側壁を覆ってパワーMOSFET素子の部分全体に渡って1体に形成され、各セル109の頂面にはソース電極のための開口が設けられる。そして、ゲートボンディングパッド形成予定位置104bまで1体に延在する。そして、光起電力装置や放電回路を配置した領域ではこの多結晶Si膜は除去されている。そうすれば、図1(f)、図2(f)の形状となる。

(7) 次に、熱酸化によりゲート電極111の表面に酸化膜(図示せず)を形成した後に、CVDにより例えばBPSGでなる層間絶縁膜112を形成し、各電極のためのコンタクトホールを形成して、Al等の金属により各電極や所定の配線を形成する。そうすれば、図1(g)、図2(g)の形状となる。

【0013】ここで、ソース電極113aは格子状に多数設けられた各セル109のソース領域108aとPベース領域107aとにコンタクトして層間絶縁膜112上で各セル109を接続している。そして、ソース電極113aは図1に断面図としては現れない位置でPウェル102にもコンタクトしている。そして、図3に示すように、ソース電極113aは図1に断面図としては現れない位置で、サイリスタ素子7のカソード電極に接続すると共に1方のダイオード6のアノード電極に接続している。そして、ソース電極113aは光MOSリレーを構成する際に別体のパワーMOSFET素子3のソース電極とワイヤボンディング接続するパッドにもなる。

【0014】ゲート配線113bはゲートボンディングパッド形成予定位置104bでゲート電極111にコンタクトしていて、そして、そこは光MOSリレーを構成する際に別体のパワーMOSFET素子3のゲート電極とワイヤボンディング接続するパッドになっている。そして、ゲート配線113bは図1に断面図としては現れない位置で図3に示すように、サイリスタ素子7のアノード電極に接続すると共に他方のダイオード6のカソード電極に接続している。

【0015】太陽電池間配線113cは小型太陽電池のP型領域107cにコンタクトすると共に隣の小型太陽電池のN型コンタクト領域108cにコンタクトして複数の小型太陽電池4aを直列に接続して光起電力装置4とする。そして、1端の小型太陽電池のN型コンタクト領域108c(他端の小型太陽電池のP型領域107c)には起電力素子配線113dがコンタクトし、1方

のダイオード6のカソード電極とサイリスタ素子7のPゲート電極とに(他方のダイオード6のアノード電極とサイリスタ素子7のNゲート電極とに)接続している。

【0016】そして、サイリスタ用多結晶Si層106dの部分では横型サイリスタのアノード領域107dにコンタクトするアノード電極113f、カソード領域108bにコンタクトするカソード電極113g、Pベース領域107bにコンタクトするPゲート電極113h、Nベースコンタクト領域108dにコンタクトするNゲート電極113iが形成されて、それぞれ上述のように接続されている。

【0017】こうして図1(g)、図2(g)に示すようにパワーMOSFET素子5、光起電力装置4、サイリスタ素子7を含む放電回路を1チップに含む光MOSFET1が完成する。

【0018】上記実施例によれば、パワーMOSFET素子5の部分には溝110やゲートボンディングパッド部の凹部が設けられるがホトリソの処理を行う際は、厚い酸化膜105やゲート電極111で埋まって段差を緩和していて、フォトリソ処理が可能な状態となっている。例えば溝110の部分でははじめ1.4μm掘られた後、0.7μmの厚みになるように厚い酸化をしているので、この酸化膜を除去した後は約1.7μm程度とかなり深い溝となっているが、幅が約1μmで狭いのでゲート電極111となる多結晶Si層が0.5μm成長すれば埋まってしまう。そして、小型太陽電池やサイリスタ素子を作り込む部分では、基板101に凹部を形成してそこを埋めるように多結晶Si層を設けているので段差が緩和されている。

【0019】

【実施例2】次に第2の実施例を説明する。この実施例の光MOSFET10は図4に示す光MOSリレーの等価回路図において破線で囲んだ部分を1チップ構成したものである。この光MOSFETは光MOSリレーを構成する際に他に発光ダイオード素子2のみを組み合わせたようにしたものである。

【0020】この光MOSFET10は上記第1の実施例のものと同様な光起電力装置4とその電圧がゲートに与えられてON-OFF制御されるパワーMOSFET素子13、15とを二組備える。そして、両光起電力装置4、4は近接配置され、1つの発光ダイオード素子2に対向配置されて、その光により同時に応動する。そして、2個のダイオード素子6、6とサイリスタ素子7とを含む放電回路もそれぞれに設けられる。

【0021】この光MOSFET10におけるパワーMOSFET素子13、15は基板側をドレインとする縦型に構成される。そして、図4に示すようにドレインを共通接続して、それぞれのソースを出力端子とする。そこで、両パワーMOSFET素子13、15間は誘電体分離のようなしっかりした分離を行えば勿論好ましい

10

20

30

40

50

が、かならずしも必要はない。ラッチアップを防止するために、両者の間隔を広くとれば足りる。

【0022】そこで、図5に示すこの光MOSFET10の平面図のように、2個のパワーMOSFET素子1、3、15を仕切るように中央位置に光起電力装置4と放電回路の配置領域17とを設ける。

【0023】この光MOSFET10の縦方向の構造と製法は、第1の実施例と類似するので説明を略す。この光MOSFET10によれば、光MOSリレーを構成する際に、チップとしては他に発光ダイオード素子2を要するのみで構造が簡単で組み付けが容易である。

【0024】

【実施例3】次に第3の実施例を説明する。この実施例の光MOSFET20は図6に示す光MOSリレーの等価回路図において破線で囲んだ部分を1チップ構成したものである。この光MOSFETは光MOSリレーを構成する際に他に発光ダイオード素子2のみを組み合わせたようにしたものである。

【0025】この光MOSFET20は上記第1の実施例のものと同様な光起電力装置4とその電圧がゲートに与えられてON-OFF制御される2個のパワーMOSFET素子23、25とを備える。そして、光起電力装置4は近接配置され、発光ダイオード素子2に対向配置されて、その光により応動する。そして、2個のダイオード素子6、6とサイリスタ素子7とを含む放電回路も第1の実施例と同様に設けられる。

【0026】この光MOSFET20におけるパワーMOSFET素子23、25は互いに絶縁分離され、ゲート、ソース各電極と共にドレイン電極も表面に導出されている。そして、図6に示すようにソースを共通接続して、それぞれのドレインを出力端子とする。

【0027】この場合は二つのパワーMOSFET素子23、25を互いに絶縁分離を行うためにバイポーラICで用いられる公知のPN接合分離の技術が適用できる。そして、縦型のパワーMOSFET素子のドレイン電極を表面に導出するのもバイポーラICにおいて縦型のパワーバイポーラトランジスタのコレクタ電極を表面に導出する手法が適用出来る。例えば、NチャンネルパワーMOSFET素子を作る場合には、P型サブストレートにN型エピタキシャル層を成長し、NチャンネルパワーMOSFET素子を形成する部分を取り囲むように、例えばボロンのようなP型不純物をサブストレートに達するように拡散することで分離できる。そして、ドレイン電極を表面に導出するには、予めサブストレートのNチャンネルパワーMOSFET素子を形成する部分に高濃度にN型不純物を埋め込み拡散しておき、エピタキシャル成長後、表面より埋め込み拡散層に達するように高濃度にN型不純物を拡散すれば良い。

【0028】そして、これらのパワーMOSFET素子や光起電力素子や放電回路の部分の製造方法は上記のよ

うな基板を用いれば第1の実施例の製造方法に準ずるので説明を略す。但し、この実施例の変形として、放電回路は多結晶Si層に作り込まず絶縁分離された単結晶部分に構成することが出来る。

【0029】上記第1、第2、第3の各実施例ではいずれも放電回路を備えたものとしたが、この発明のように小型太陽電池を多結晶Siで形成した場合は、単結晶Siで形成したものに比較して光があたらなくなった際の放電が速いので、それで、光MOSリレーのOFF時の速度が我慢出来るならば、放電回路を省いても良い。

【0030】又、前記第1、第2、第3の各実施例ではいずれもパワーMOSFET素子の製造方法として、まず溝と、そこに厚い酸化膜とを形成して、その酸化膜をマスクにしてベース領域、ソース領域を形成して、その後ゲート酸化膜や多結晶Siでなるゲート電極を形成するようにしたので、小型太陽電池や放電回路を構成する素子を形成するための多結晶Si層を形成する工程を独立に設けたが、まず溝を形成し、ゲート酸化膜と多結晶Siでなるゲート電極を形成し、ゲート電極をマスクにしてベース領域、ソース領域を形成するようなプロセスとすれば、ゲート電極となる多結晶Si層を小型太陽電池や放電回路を構成する素子を形成するための多結晶Si層に利用できる。しかしながら、ゲート電極として用いるために、この多結晶Si層に高濃度に不純物を導入して低抵抗化する際は、小型太陽電池や放電回路を構成する素子を形成する部分に不純物が導入されないようにマスクをしておく必要がある。

【0031】

【発明の効果】以上の説明のように、この発明の光MOSFETではパワーMOSFET素子と小型太陽電池とを同じ基板に形成するのにパワーMOSFETをUMOS構造とし、その溝を掘ると同時に形成した凹部に多結晶Si層を設けて小型太陽電池を形成するようにしたので、表面の段差が緩和され、フォトリソ処理でのトラブルが少なくなる。

【図面の簡単な説明】

【図1】 この発明の一実施例の光MOSFETの製法を説明するためのパワーMOSFET素子と小型太陽電池の部分の断面図。

【図2】 同実施例の光MOSFETの製法を説明するためのサイリスタ素子の部分の断面図。

【図3】 上記実施例の光MOSFETを用いて光MOSリレーを構成した際の回路図。

【図4】 この発明の第2実施例の光MOSFETを用いて光MOSリレーを構成した際の回路図。

【図5】 この発明の第2の実施例の光MOSFETの平面図。

【図6】 この発明の第3の実施例の光MOSFETを用いて光MOSリレーを構成した際の回路図。

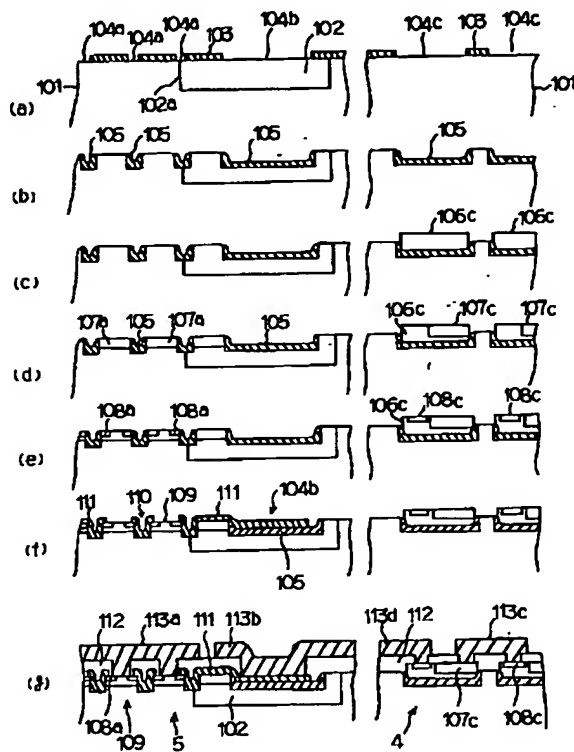
【符号の説明】



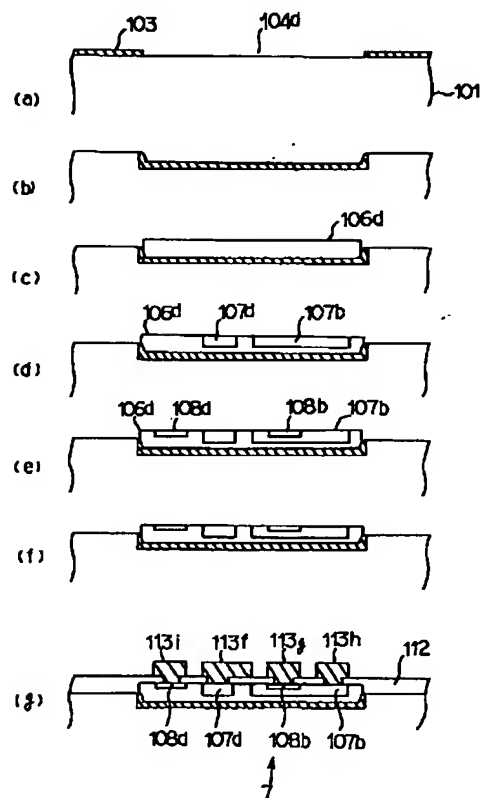
- 1, 10, 20 光MOSFET  
 4 光起電力装置  
 4a 小型太陽電池  
 5, 13, 15, 23, 25 パワー-MOSFET素子  
 6 ダイオード (放電回路を構成する素子)  
 7 サイリスタ素子 (放電回路を構成する素子)  
 101 基板  
 103 シリコン窒化膜  
 105 酸化膜  
 106c, 106d 多結晶Si層  
 107a パワー-MOSFET素子のPベース領域 (不

- 純物導入領域)  
 107b サイリスタ素子のPベース領域  
 107c 小型太陽電池のP型領域  
 107d サイリスタ素子のアノード領域  
 108a パワー-MOSFET素子のソース領域 (不純物導入領域)  
 108b サイリスタ素子のカソード領域  
 108c 小型太陽電池のN型コンタクト領域  
 108d サイリスタ素子のNベースコンタクト領域  
 10 110 溝

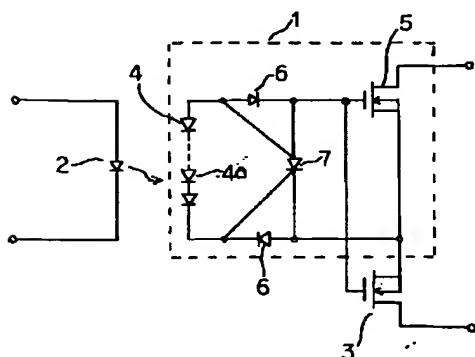
【図1】



【図2】

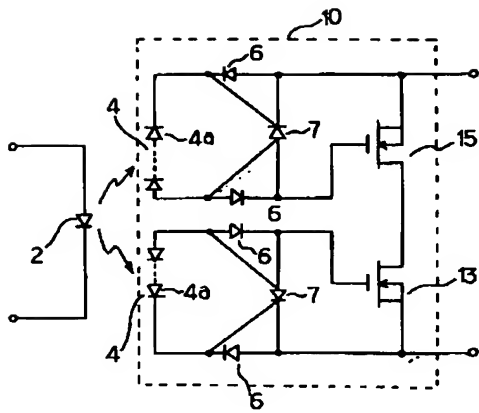


【図3】

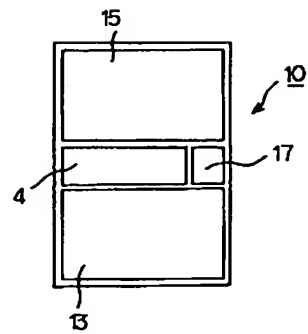




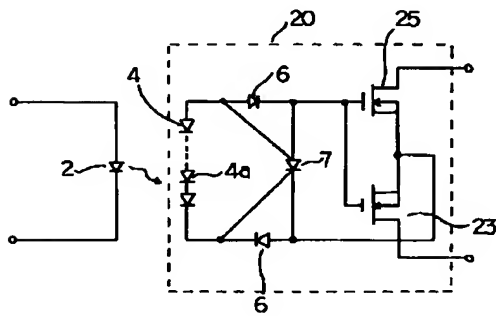
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**